



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08288475 A**(43) Date of publication of application: **01.11.96**

(51) Int. Cl. **H01L 27/108**  
**H01L 21/8242**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **08124332**(22) Date of filing: **20.05.96**(62) Division of application: **62112365**(71) Applicant: **HITACHI LTD HITACHI VLSI ENG CORP**

(72) Inventor: **YOSHIGAMI JIRO**  
**HIRAIWA ATSUSHI**  
**IJIMA SHINPEI**  
**KISU TERUAKI**

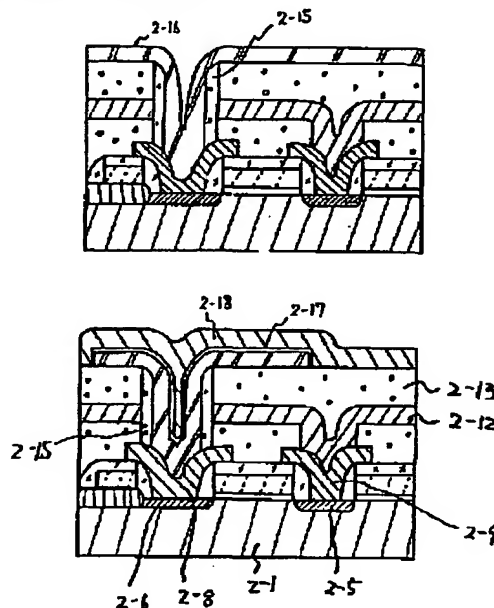
**(54) MANUFACTURE OF SEMICONDUCTOR MEMORY**

COPYRIGHT: (C)1996,JPO

**(57) Abstract:**

**PURPOSE:** To improve reliability even if a capacitor electrode is thinned and increase capacitance by bringing a capacitor electrode into contact through a conductor layer and forming it to extend on a bit line.

**CONSTITUTION:** First and second conductor layers 2-8, 2-9 are pattern-formed in each semiconductor region and a bit line in contact with the second conductor layer 2-9 is formed. Thereafter, layer insulation films 2-13, 2-15 are deposited on a bit line and a contact hole is provided to the layer insulation films 2-13, 2-15 to expose the first conductor film 2-8 partially. A capacitor electrode 2-16 is formed to form an electrical contact to the first conductor layer 2-8 and to extend on a bit line. That is, a capacitor electrode does not come into direct contact by lowering to a semiconductor region but come into contact through the conductive layer 2-8 and is formed to extend on a bit line. Capacitance can be increased in this way.





(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-288475

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		9276-4M	H 0 1 L 27/10	6 2 1
21/8242			27/04	C
27/04		9276-4M	27/10	6 5 1
21/822				

審査請求 有 発明の数3 O L (全 7 頁)

(21)出願番号 特願平8-124332  
(62)分割の表示 特願昭62-112365の分割  
(22)出願日 昭和62年(1987) 5月11日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71)出願人 000233468  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社  
東京都小平市上水本町5丁目20番1号  
(72)発明者 由上 二郎  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(74)代理人 弁理士 小川 勝男

最終頁に続く

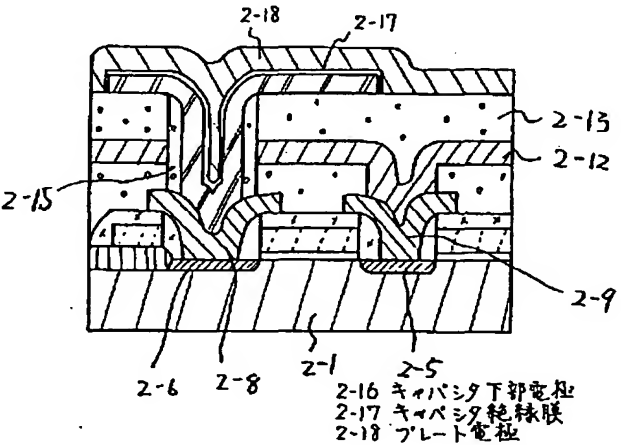
(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】 (修正有)

【目的】 微細化、容量増大に適した製造方法の提供。

【構成】 半導体基板(2-1)主面に一對の拡散層(2-5,2-6)、ゲート酸化膜(1-3)およびゲート電極(2-4)を構成するスイッチ用トランジスタを形成し、その拡散層(2-5,2-6)のそれぞれに導電体層(2-8,2-9)を同時パターン形成し、そして一方の導電体層(2-9)にコンタクトするビット線(2-11)を形成し、しかる後、そのビット線上に層間絶縁膜(2-13,2-15)を堆積し、その層間絶縁膜に、他方の導電体膜(2-8)の一部が露出するようにコンタクト孔を設け、その他方の導電体層にコンタクトし、ビット線(2-11)上を延びるようにキャパシタの電極(2-16)を形成する。キャパシタ電極(2-16)は他方の導電体層(2-8)を介してコンタクトするため、その他方の導電体層上の層間絶縁膜のコンタクト孔を微細にでき、そのキャパシタ電極はビット線上を延びるように形成できるため、容量増大が図れる。

図 6



## 【特許請求の範囲】

【請求項1】半導体基体主面に少なくとも一对の半導体領域、ゲート絶縁膜およびゲート電極を構成するスイッチ用トランジスタを形成し、上記半導体領域のそれぞれに第1、第2導電体層をパターン形成し、上記第2導電体層にコンタクトするビット線を形成し、しかる後、上記ビット線の上に層間絶縁膜を堆積し、該層間絶縁膜に、上記第1導電体膜の一部が露出するようにコンタクト孔を設け、該第1導電体層に電気的なコンタクトを成し、上記ビット線上を延びるようにキャパシタを形成することを特徴とする半導体記憶装置の製造方法。

【請求項2】半導体基体主面に少なくとも一对の半導体領域、ゲート絶縁膜およびゲート電極を構成するスイッチ用トランジスタを形成し、上記半導体領域のそれぞれに第1、第2導電体層をパターン形成し、上記第2導電体層にコンタクトするビット線を形成し、しかる後、上記ビット線の上に層間絶縁膜を堆積し、該層間絶縁膜に、上記第1導電体膜の一部が露出するようにコンタクト孔を設け、該第1導電体層に電気的なコンタクトを成し、上記ビット線上を延びるように第1キャパシタ電極をパターン形成し、該第1キャパシタ電極の表面に沿うキャパシタ絶縁膜を被覆し、該キャパシタ絶縁膜を覆うように第2キャパシタ電極を形成することを特徴とする半導体記憶装置の製造方法。

【請求項3】上記キャパシタ絶縁膜はSi<sub>3</sub>N<sub>4</sub>、五酸化タングステンより選択された材料の一層膜もしくはそれらの積層より成ることを特徴とする請求項2記載の半導体記憶装置の製造方法。

【請求項4】半導体基体主面に少なくとも一对の半導体領域、ゲート絶縁膜およびゲート電極を構成するスイッチ用トランジスタを形成し、上記半導体領域のそれぞれに第1、第2導電体層をパターン形成し、上記第2導電体層にコンタクトするビット線を形成し、しかる後、上記ビット線の上に第1層間絶縁膜を堆積し、該第1層間絶縁膜に、上記第1導電体膜上に位置した開口を設け、該開口を有する上記第1層間絶縁膜に第2層間絶縁膜を堆積し、該第2層間絶縁膜を異方性ドライエッチングすることにより、該開口に位置したところに上記第1導電体膜の一部が露出し、該第1層間絶縁膜開口部に側壁として該第2層間絶縁膜の一部が残されたコンタクト孔を設け、該第1導電体層に電気的なコンタクトを成し、上記ビット線上を延びるようにキャパシタを形成することを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特に電荷蓄積キャパシタの信頼性を低下することなく、微細化が可能な半導体記憶装置の製造方法に関する。

## 【0002】

【従来の技術】ダイナミック・ランダム・アクセス・メモリ(dRAM)の高集積化は、目覚ましい速度で実現されており、現在の主流は64Kビットから256Kビットへと移り、1MビットdRAMの量産も始まっている。この高集積化は素子寸法の微細化により達成されてきた。しかし、微細化に伴うキャパシタ(容量)の減少のために、S/N比の低下や $\alpha$ 線による信号反転(いわゆるソフトエラー)等の弊害が顕在化し、信頼性の上で大きな問題になっている。このためキャパシタ容量を増加させる目的で、基板に掘った溝壁を利用する溝堀り型キャパシタセル(トレンチキャパシタセル)、あるいはアイ・イー・イー、イー・インターナショナル・エレクトロン・デバイシス・ミーティング・テクニカル・ダイジェスト(IEEE, Int, Electron Devices Meeting Tech, Dig.)pp348-351, Dec(1978)におけるKoyanagi, Sunami, HashimotoおよびAshikawaらによる“Novel high density, Stacked capacitor MOS RAM”と題する文献などで論じられている、容量部を積上げ方式にした積上げ型キャパシタセル(スタックド・キャパシタセル)などが、従来の平面型キャパシタに代るものとして期待されるようになってきた。これらのうち、後者の積み上げ型キャパシタは、溝堀りキャパシタと違って、基板に微細な溝を掘るという高度な技術を必要としないため、今後さらに素子の微細化が要求された時のキャパシタ構造として注目されている。

【0003】図10に従来の積上げ型キャパシタを有する、dRAMの断面図を示す。その製造方法を簡単に説明する。

【0004】まず、単結晶基板3-1上に素子間を絶縁分離するための酸化膜3-2を選択的に成長させる。つぎに、トランジスタのゲート酸化膜3-3を成長させる。ゲート電極3-4として不純物を含む多結晶シリコンを堆積させ、それを加工したのちこのゲート電極3-4および素子間分離酸化膜3-2をマスクにイオン打込み法等を用いて、拡散層3-5および3-6を形成する。つぎに、拡散層3-6の領域上に不純物を含む多結晶シリコン3-8を堆積させ加工する事により、キャパシタ下部電極3-8を形成する。この時、キャパシタ下部電極3-8はゲート電極3-4や素子間分離酸化膜3-2の上にも形成されるため、従来の平面だけを利用する平面型キャパシタに比べてキャパシタ面積を大きくすることが可能である。なお、ゲート電極3-4は酸化膜等の層間絶縁膜3-7で覆っている。上記のようにして形成したキャパシタ下部電極3-8の上に酸化膜等を形成し、キャパシタ絶縁膜3-9とする。この上にさらに導電体を堆積させ加工することによりプレート電極3-10を形成し、キャパシタを完成させている。

【0005】さらに、この上に層間絶縁膜3-11を堆積させ、トランジスタの拡散層3-5の一部が露出するようにコンタクト子L3-12を開口した後に、データ線となる導電体層3-13を形成する。

【0006】上記の製造方法により、基板平面上にのみ

キャパシタを形成するプレーナ型DRAMセルに比べキャパシタ容量を大きくする事が可能となる。

#### 【0007】

【発明が解決しようとする課題】しかし、上記従来の積上げ容量型キャパシタセルでは、以下に述べる2つの理由により、キャパシタ下部電極3-8を十分に大きくすることができず、素子の微細化とともにキャパシタ容量が低下してしまうという問題が顕著に起こり、さらに高集積なメモリー回路を構成する事が困難であった。すなわち、第1に上記データ線3-13と拡散層3-5とを電氣的に接続するためには、コンタクト孔3-12が必要である。また、コンタクト孔3-12とプレート電極3-10との間には加工合せの余裕を考慮しなければならない。そのため、コンタクト孔3-12および合せ余裕に必要な部分を避けてプレート電極3-10を形成することが必要であり、面積を大きくすることができないという事情による。このうち合せ余裕は、コンタクト孔3-12を形成した際に、プレート電極3-10が露出し、その結果データ線3-13とプレート電極3-10がショートするのを防ぐために必要となる。第2に、キャパシタの信頼性を高めるためには、キャパシタ下部電極3-8は、プレート電極3-10に完全に覆われている必要があり、キャパシタ下部電極3-8は、加工合せ余裕分だけ、プレート電極3-10より小さくする必要がある。従って、上記の理由によりキャパシタ下部電極3-8を大きくすることができず、結果的にキャパシタ容量が小さくなってしまいう問題があった。一方、キャパシタ容量は、キャパシタ絶縁膜厚に反比例するため、上記従来の積上げ容量型キャパシタセルを用いてより高集積なメモリー回路を構成し、かつ必要なキャパシタ容量を確保するためには、キャパシタ絶縁膜3-9をさらに薄膜化するという手段も考えられる。しかし、キャパシタ絶縁膜3-9を薄膜化すると、リーク電流の増大等によりキャパシタの信頼性が低下してしまうという問題があり実用的ではない。本発明の目的は、微細化しても信頼性が高く、かつ、キャパシタ容量の大きな半導体記憶装置を提供することにある。

#### 【0008】

【課題を解決するための手段】本発明によれば、キャパシタ電極は、直接半導体領域までに降りてコンタクトするのではなく、導電体層を介してコンタクトし、そして、ビット線上を延びるように形成する。

#### 【0009】

【作用】本発明によれば、キャパシタ電極は、導電体層を介してコンタクトさせるため、導電体層上の層間絶縁膜のコンタクト孔の深さは浅くなり微細にできる。そして、そのキャパシタ電極はビット線上を延びるように形成できるため、容量増大を図ることができる。

#### 【0010】

【実施例】本発明では従来の積上げ型キャパシタセルで問題となった、プレート電極(図10,3-10)とコンタク

ト孔(図10,3-12)及びプレート電極(図10,3-13)キャパシタ下部電極(図10,3-8)との間の加工合せ余裕が不要となる構造としている。つまり、本発明においては、図1に示すように、キャパシタ下部電極1-16、キャパシタ絶縁膜1-17、プレート電極1-18からなるキャパシタをデータ線1-12上部に層間絶縁膜1-13を介して配置し、コンタクト孔1-14を形成することによりキャパシタ下部電極1-16と拡散層1-6との間に導通を得ている。

【0011】なお、図1において、1-1は半導体単結晶基板、1-12は素子間分離領域、1-3はゲート酸化膜、1-4はゲート電極、1-5は拡散層、1-7,1-10は層間絶縁膜、1-11はコンタクト孔である。図1に示したような構造とすることにより、コンタクト孔1-11がプレート電極1-18内部に開口部を持つことはなく、プレート電極1-18とコンタクト孔1-11とは位置的に全く非干渉であり、加工合せ余裕を考慮する必要がない。従って、プレート電極1-18はセルのはば全面に一体で形成できる。そのため、プレート電極1-18とキャパシタ下部電極1-16の加工合せ余裕も不要である。

【0012】以上の理由により、キャパシタ下部電極1-16を極めて大きく設計することができる。すなわち、本発明によれば、半導体記憶装置では、キャパシタ面積を大きくすることが可能であり、キャパシタ絶縁膜を薄膜化せずに、十分なキャパシタ容量を確保することができる。従って、信頼性を低下させる事なく、より微細化することができる。

【0013】以下、本発明の一実施例を図2乃至図6により説明する。

【0014】まず、図2に示すように、半導体単結晶基板2-1に素子間を電氣的に分離するためのSiO<sub>2</sub>膜を、公知のLOCOS法等により成長させ、素子間分離酸化膜2-2とする。次に、通常の熱酸化法を用いて、ゲート酸化膜2-3を成長させ、その上部に低抵抗多結晶シリコン及び、SiO<sub>2</sub>膜をCVD法により堆積し、通常のリソグラフィ及びドライエッチング技術を用いて加工することにより、ゲート電極2-4及び層間絶縁膜2-7を形成する。この後、CVD法により、SiO<sub>2</sub>膜を全面に堆積させ、異方性ドライエッチングを施す事により側壁絶縁膜2-19を形成した後、基板2-1と導電型の異なる拡散層2-5、2-6をイオン打込み法等を用いて自己整合的に形成する。この後熱処理を施す事により、導入された不純物を活性化させる。拡散層2-5,2-6に公知の電界緩和型の拡散層構造を用いることも可能である。

【0015】次に、図3に示すように、拡散層2-5,2-6の一部を露出させるコンタクト孔を開け、低抵抗多結晶シリコンをCVD法により堆積させ、通常のリソグラフィ及びドライエッチング技術により導電体層2-8,2-9を形成する。その後全体をCVD法により厚いSiO<sub>2</sub>膜でおおった後、通常のリソグラフィ及びドライエッチング技術によりコンタクト孔2-11を形成し、一方の導電体層2-9の

一部のみを露出させる。ここで、データ線2-12となる導電体層をCVD法あるいはスパッタ法等により形成し、リソグラフィ及びドライエッチング法によりパターンニングする。ここで、導電体層2-9を用いず、直接拡散層2-5に達するコンタクト孔を形成する方法も可能であるが、コンタクト孔と拡散層の合せ余裕を小さくできる点で、また、横方向エッチを抑えた微細コンタクト孔とすることができる点で、図3に示した方式の方が優れている。

【0016】なお、データ線材料として、本実施例では低抵抗多結晶シリコンを用いたが、Alなどの低抵抗金属、Wなど高融点金属、そのシリコン化合物もしくはこれらの積層膜を用いることも可能である。

【0017】次に、全体をSiO<sub>2</sub>膜等の絶縁膜でおおった後、リソグラフィ及びドライエッチング技術によりコンタクト孔2-14を形成し、導電体層2-8の一部を露出させる。本発明の構造においては、データ線2-12とコンタクト孔2-14とが平面的に重なり合わないことが重要である。これを実現する1つの方法として、図4に示したようにレイアウト的に重複を許しても、コンタクト孔2-14形成の際に重なり合う部分のデータ線を除去する方法がある。また他の方法として、レイアウトを図9のようにすることで、重複しない構造とする方法もある。

【0018】次に、層間絶縁膜2-15を異方性ドライエッチングする事により、図5に示すように、コンタクト孔2-14の側壁部のみ層間絶縁膜2-15を残す。その後、キャパシタ下部電極2-16となる。低抵抗多結晶シリコンをCVD法により堆積させる。この時、堆積させる低抵抗多結晶シリコンの膜厚をコンタクト孔2-14の半径より小さくすれば、キャパシタ下部電極2-16は、コンタクト孔内部に窪みを持ち、この窪みもキャパシタ面積として利用できるので都合が良い。

【0019】次に、図6に示すように、リソグラフィ及びドライエッチング技術により、キャパシタ下部電極2-16をパターンニングする。このキャパシタ下部電極2-16の表面上にキャパシタ絶縁膜2-17を形成する。キャパシタ絶縁膜として、本実施例では、多結晶シリコンを熱酸化法で酸化することにより形成したSiO<sub>2</sub>膜を用いたが、CVD法で形成したSi<sub>3</sub>N<sub>4</sub>膜、五酸化タンタルなどの高誘電率絶縁膜もしくはこれらの積層膜も利用可能である。最後に、プレート電極2-18となる低抵抗多結晶シリコンをCVD法により全面に形成する。この後、必要に応じてメモリアレー周辺で、プレート電極2-18に開口部を持つコンタクト孔を設け、データ線2-12及びゲート電極2-4をプレート電極2-18の上部に取り出し、周辺回路との接続を行う。以上の工程により本発明の半導体記憶装置が完成する。

【0020】なお、本実施例では、キャパシタ下部電極2-16及び、プレート電極2-18に低抵抗多結晶シリコンを用いたが、この一方あるいは両方の電極材料として、Al, Auなどの低抵抗金属あるいは、Wなどの高融点金

属、そのシリコン化合物もしくは、これらの積層膜を用いることも可能である。

#### 【0021】

【発明の効果】図7には本発明によるキャパシタセルのレイアウト図を、また、図8には、従来の積上げ型キャパシタセルのレイアウト図をそれぞれ概略図で示した。図7、図8とも2交点セルの場合を示したが、本発明は1交点セルにも適用可能である。なお、両図とも、合せ余裕、線幅、スペース幅は同じである。

【0022】図7に示した実施例では、プレート電極は、セル全面をおおっており、図8のプレート電極5-5のような開口部が必要でない。これは、キャパシタ部をデータ線の上部まで持上げた本発明の構造により、従来の積上げ型キャパシタセルに見られた。プレート電極5-5とコンタクト孔5-6との合せを考慮する必要がなくなったのである。これにより、キャパシタ下部電極4-4は、隣接するセルのキャパシタ下部電極に影響をおよぼさない範囲内で大きくできる為、同じセル面積でもキャパシタ面積を著しく大きくすることが可能である。従来の積上げ容量型キャパシタセルにおけるキャパシタ面積は、キャパシタ下部電極の側壁部を考慮に入れても、セル面積の60%程度にしか達していない。

【0023】これに対し、本発明によれば、キャパシタ面積は、セル面積の130%以上に達し、キャパシタ面積は2倍以上の増加が可能である。実際に、図7のレイアウトに従って試作した結果、キャパシタ面積は、セル面積の140%に達しており、本発明の効果が確認された。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体記憶装置の要部断面図である。

【図2】本発明の一実施の形態である半導体記憶装置の製造工程の一例を示した要部断面図である。

【図3】本発明の一実施の形態である半導体記憶装置の製造工程の一例を示した要部断面図である。

【図4】本発明の一実施の形態である半導体記憶装置の製造工程の一例を示した要部断面図である。

【図5】本発明の一実施の形態である半導体記憶装置の製造工程の一例を示した要部断面図である。

【図6】本発明の一実施の形態である半導体記憶装置の製造工程の一例を示した要部断面図である。

【図7】本発明の一実施の形態である半導体記憶装置の平面レイアウト図である。

【図8】従来構造の半導体記憶装置の平面レイアウト図である。

【図9】本発明の他の実施の形態である半導体記憶装置の平面レイアウト図である。

【図10】従来構造の半導体記憶装置を示した要部断面図である。

#### 【符号の説明】

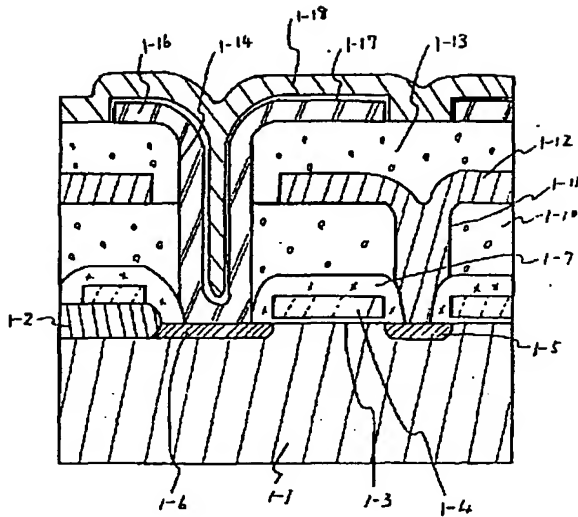
1-1 半導体単結晶基板

- 1-2 素子間分離酸化膜
- 1-3 ゲート酸化膜
- 1-4 ゲート電極
- 1-5 拡散層
- 1-6 拡散層
- 1-7 層間絶縁膜
- 1-10 層間絶縁膜

- 1-11 コンタクト孔
- 1-12 データ線
- 1-13 層間絶縁膜
- 1-14 コンタクト孔
- 1-16 キャパシタ下部電極
- 1-17 キャパシタ絶縁膜
- 1-18 プレート電極

【図 1】

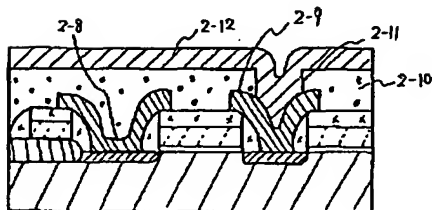
図 1



- |              |                |
|--------------|----------------|
| 1-1 半導体単品基板  | 1-11 コンタクト孔    |
| 1-2 素子間分離酸化膜 | 1-12 データ線      |
| 1-3 ゲート酸化膜   | 1-13 層間絶縁膜     |
| 1-4 ゲート電極    | 1-14 コンタクト孔    |
| 1-5 拡散層      | 1-16 キャパシタ下部電極 |
| 1-6 拡散層      | 1-17 キャパシタ絶縁膜  |
| 1-7 層間絶縁膜    | 1-18 プレート電極    |
| 1-10 層間絶縁膜   |                |

【図 3】

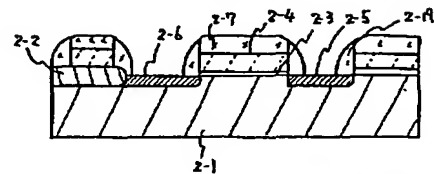
図 3



- 2-8 拡散層
- 2-9 拡散層
- 2-10 層間絶縁膜
- 2-11 コンタクト孔
- 2-12 データ線

【図 2】

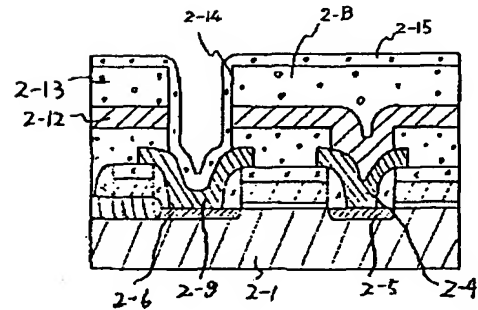
図 2



- 2-1 半導体単品基板
- 2-2 素子間分離酸化膜
- 2-3 ゲート酸化膜
- 2-4 ゲート電極
- 2-5 拡散層
- 2-6 拡散層
- 2-7 層間絶縁膜
- 2-19 側壁絶縁膜

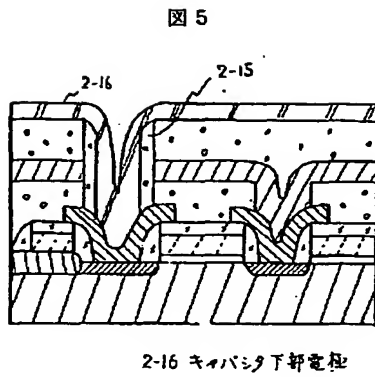
【図 4】

図 4

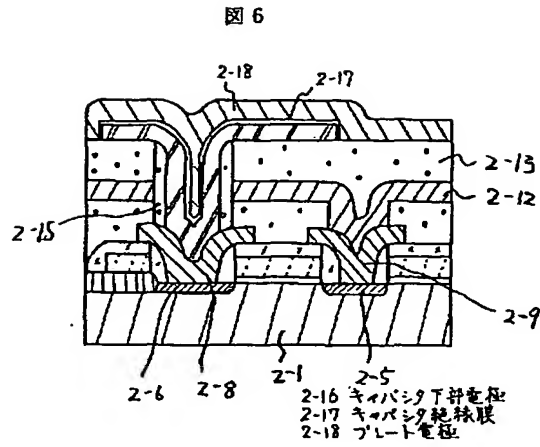


- 2-1 半導体単品基板
- 2-6 拡散層
- 2-8 拡散層
- 2-12 データ線
- 2-13 層間絶縁膜
- 2-14 コンタクト孔
- 2-15 層間絶縁膜
- 2-19 側壁絶縁膜

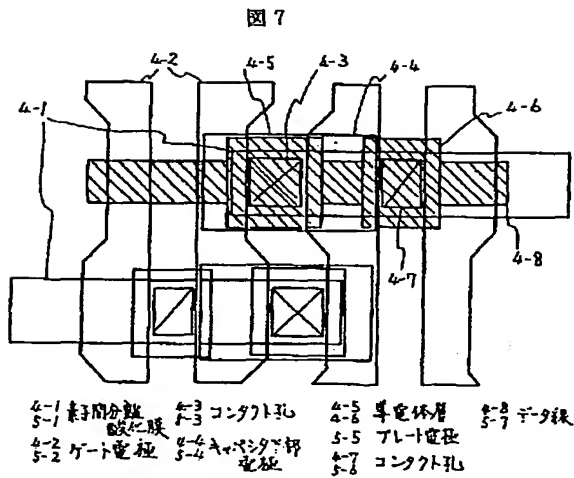
【図5】



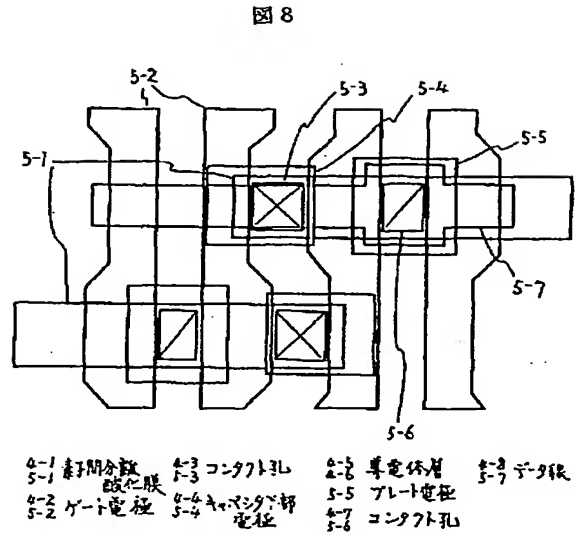
【図6】



【図7】



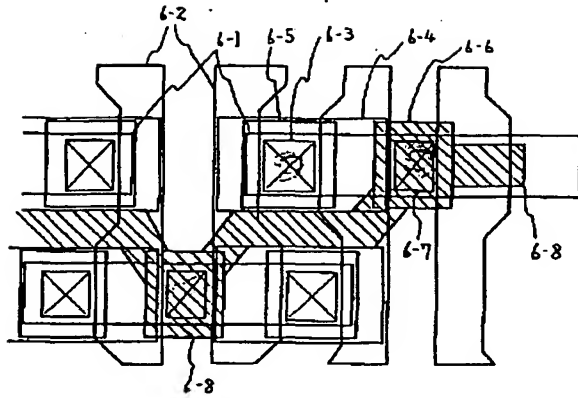
【図8】





【図 9】

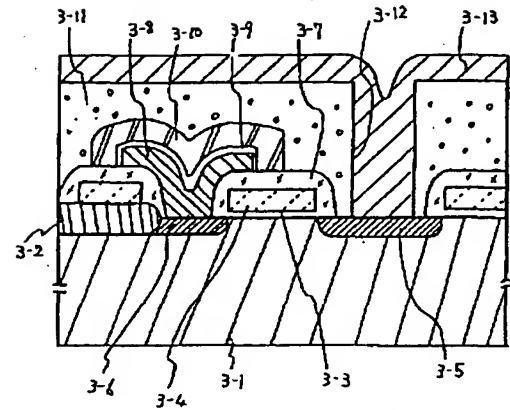
図 9



- 6-1 素子分離酸化膜
- 6-2 ゲート電極
- 6-3 コンタクト孔
- 6-4 キャパシタ下部電極
- 6-5 導電体層
- 6-6 プレート電極
- 6-7 コンタクト孔
- 6-8 データ線

【図 10】

図 10



- 3-1 半導体基板
- 3-2 素子分離酸化膜
- 3-3 ゲート電極
- 3-4 ゲート電極
- 3-5 基板層
- 3-6 基板層
- 3-7 層間絶縁膜
- 3-8 キャパシタ下部電極
- 3-9 キャパシタ上部電極
- 3-10 プレート電極
- 3-11 層間絶縁膜
- 3-12 コンタクト孔
- 3-13 データ線

フロントページの続き

(72)発明者 平岩 篤  
東京都国分寺市東恋ヶ窪 1 丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 飯島 晋平  
東京都国分寺市東恋ヶ窪 1 丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 木須 輝明  
東京都小平市上水本町1448番地 日立超エ  
ル・エス・アイ・エンジニアリング株式会  
社内

